

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-049664

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

G09G 3/28

(21)Application number : 05-196003

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.08.1993

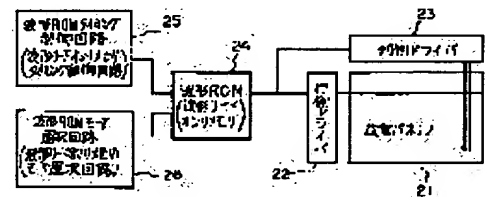
(72)Inventor : ARIMORI IWAO

## (54) DEVICE FOR DRIVING DISCHARGE PANEL

## (57)Abstract:

PURPOSE: To adjust color balance at the time of color display and to adjust a relation between the number of display gradations and the light emitting luminance.

CONSTITUTION: A waveform read only memory 24 outputting the program control data of a pulse based on respective outputs of a waveform read only memory timing control circuit 25 outputting the waveform control signal of the pulse according to a discharge time and a waveform read only memory mode selection circuit 26 selecting the number of pieces of the discharge pulse on color signals of R, G, B by mode is provided, and an electrode of a row and the electrode of a column are driven by respective drivers 22, 23 of the row side and the column side based on the program control data from the waveform read only memory 24.



## LEGAL STATUS

[Date of request for examination]

04.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3121965

[Date of registration]

20.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-49664

(43) 公開日 平成7年(1995)2月21日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28	K	9378-5G		
	R	9378-5G		

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平5-196003

(22) 出願日 平成5年(1993)8月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 有森 巖

長崎市旭町8番23号 三菱電機エンジニア

リング株式会社長崎事業所内

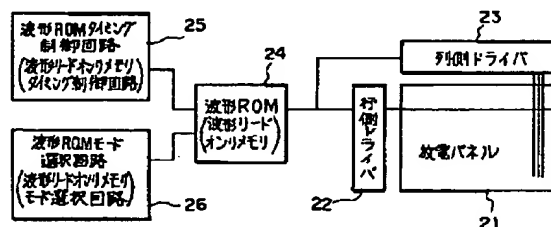
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 放電パネル駆動装置

(57) 【要約】

【目的】 カラー表示時のカラーバランス調整を可能とし、表示階調数と発光輝度との関係を調整可能にする。

【構成】 放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路25と、上記放電パルスの個数をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路26との各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリ24とを設け、該波形リードオンリメモリからのプログラム制御データにもとづき行の電極および列の電極を行側および列側の各ドライバにより駆動させる。



## 【特許請求の範囲】

【請求項1】 放電パネルを構成する行の電極および列の電極間で発生する放電の放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記パルスの幅をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、該波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリと、該波形リードオンリメモリからのプログラム制御データにもとづき、上記行の電極および列の電極を駆動する行側ドライバおよび列側ドライバとを備えた放電パネル駆動装置。

【請求項2】 立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータを出力する波形データ生成回路と、R、G、Bの色信号対応で設けられ、上記パルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第1のラッチバッファおよび第2のラッチバッファと、該第1のラッチバッファおよび第2のラッチバッファの出力値とカウンタ回路からの刻々変化する出力値とを比較する第1のコンパレータおよび第2のコンパレータと、上記第1のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットされ、一方、上記第2のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットされるセットリセットフリップフロップとを備えた放電パネル駆動装置。

【請求項3】 所定の発光輝度を得るための階調数を選択する階調数選択回路と、該階調数選択回路の出力にもとづいて、表示の1フィールドにおけるサブフィールドの個数を制御するフィールド制御回路と、上記発光輝度を得るために放電に必要な放電パルスのプログラム制御データを出力する波形リードオンリメモリと、該リードオンリメモリおよび上記フィールド制御回路の各出力にもとづき、発光輝度および階調数が調整されるように、上記放電パネルの行の電極および列の電極を駆動する行側ドライバおよび列側ドライバとを備えた放電パネル駆動装置。

【請求項4】 放電パネルを構成する行の電極および列の電極間で発生する放電の放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記パルスの幅をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、上記波形リードオンリメモリのモード選択回路を制御するフィールド制御回路と、上記波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力を受けて、上記放電パルスのプログラム制御デ

ータを出力する波形リードオンリメモリと、該波形リードオンリメモリからのプログラム制御データにもとづき、上記行の電極および列の電極を駆動する行側ドライバおよび列側ドライバとを備えた放電パネル駆動装置。

【請求項5】 立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータを出力する波形データ生成回路と、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、上記波形データ生成回路を制御するフィールド制御回路と、R、G、Bの色信号対応で設けられ、上記パルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第1のラッチバッファおよび第2のラッチバッファと、該第1のラッチバッファおよび第2のラッチバッファの出力値とカウンタ回路からの刻々変化する出力値とを比較する第1のコンパレータおよび第2のコンパレータと、上記第1のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットされ、一方、上記第2のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットされるセットリセットフリップフロップとを備えた放電パネル駆動装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、表示のカラーバランス調整を実施する放電パネル駆動装置に関するものである。

【0002】

【従来の技術】 図8は例えば電子通信学会技術報告、EID89-73（1990年1月18日発行）の「20型カラー放電ディスプレイにおけるテレビ画質の改善」、関昌彦他に示された従来の放電パネル表示装置を示す構成図であり、図において、1は前面板、2は背面板、3は土手、4はブライニング用空間、5は表示セル、6は補助セル、7は陰極、8は陽極、9は補助陽極である。

【0003】 また、図9は上記放電パネル表示装置であるマトリックス型表示装置の制御回路を示すブロック図であり、図において、11は表示パネル、12は表示制御信号発生器、13はフレームメモリ、14は陰極駆動回路、15は表示陽極駆動回路、16は補助陽極駆動回路である。

【0004】 また、図10は上記マトリックス型表示装置の各電極7、8と表示セル5の動作を示すタイミング図であり、図11はこのマトリックス型表示装置における1フィールド間の発光時間と階調制御の関係を示す説明図である。

【0005】 次に動作について説明する。まず、図示しない定電流源より正電圧が印加されている上記補助陽極9と、図10に示す走査パルスが印加される陰極7との

間には、補助放電が発生する。この放電で生じた準安定粒子は、補助セル6から表示セル5へブライミング用空間4を通じて拡散する。

【0006】この後に、表示セル5の発光が必要な時は、陽極8に正電圧の書込パルスが印加され、負電圧の走査パルスが印加されている陰極7との間で放電が発生させる。

【0007】この走査パルスの後、陰極7は図10に示すように一定期間維持レベルを保つので、放電が生じた表示セル5では、表示陽極8に連続して印加される維持パルスによって、連続的な維持放電が発生する。維持放電は陰極7への消去パルスの印加によって停止する。

【0008】次に、階調制御について説明する。いま、フレームメモリ13の1つのアドレスと表示パネル11の各ドットが1対1に対応し、フレームメモリ13の1つのアドレスの深さが8ビットとして説明する。

【0009】表示制御信号発生器12の制御を受けて、陰極駆動回路14による陰極の走査が上から下へ順次行なわれ、データ表示の有無に関係なく補助陽極駆動回路16によって補助陽極9に正電圧が印加されると、補助放電が発生し、陰極走査に従って、この補助放電も上から下へ順次移行する。

【0010】また、表示データは1ライン分が全て読み出され、表示陽極駆動回路15を経由して走査タイミングに合せて陽極8に出力され、表示データが有効な時、陽極8に正の書込パルスが印加されて、補助放電直後のブライミング効果によって、表示放電が行なわれる。

【0011】一方、上記表示データが無効の時、陰極7の走査用負電圧パルスだけ印加されるので、表示放電は行なわれない。

【0012】この動作を最下段の最終ラインまで行った時に、1つのサブフィールドが終了する。この1つのサブフィールドでは、フレームメモリ13の深さ8ビットのうちの1つのビットについて表示を行う。従って、この場合サブフィールドの数は8個となるサブフィールドの構成内容を図11に示す。

【0013】図11では、まず、一番重みの大きいビットすなわち最上位ビット(MSB)の第7ビットの表示走査を行い、それから順に重みの小さいビットの表示走査を行って、最後に一番重みの小さいビットすなわち最下位ビット(LSB)の第0ビットの表示走査を行う様子が示されている。

【0014】この場合、ビットの重みを表示画面の明るさに反映させる為に、書込み後の発光維持期間をビットの重みに応じて変化させている。発光維持期間の制御は先に述べた消去パルスの印加タイミングによって行う。発光維持期間の長さを維持パルスによる維持放電回数によって表わすと第7ビットで384回、第6ビットはその半分で192回となり、最後の第0ビットは第7ビットの1/8分の1で3回となる。

【0015】この方式により、深さ8ビットによる256階調の表示が可能となる。表示デューティはサブフィールド「7」を100%とみなすと、サブフィールド「6」が50%と、順に半減して、1フィールド全体では25%となる。

【0016】

【発明が解決しようとする課題】従来の放電パネル表示装置は以上のように構成されているので、表示時のカラーバランスについて対策されておらず、カラー化においては何らかのカラーバランスが必要で、また、256階調制御においては、輝度が犠牲になるなどの問題点があった。

【0017】請求項1の発明は上記のような問題点を解消するためになされたもので、カラーバランスの調整ができるとともに、多階調制御の階調数と輝度の関係を調整できる放電パネル駆動装置を得ることを目的とする。

【0018】請求項2の発明は論理回路を用いて、カウンタ回路の動作周波数を単位としたパルス幅調整を高精度に実施できる放電パネル駆動装置を得ることを目的とする。

【0019】請求項3の発明は発光輝度と階調数の選択設定により鮮明画像を得ることができる放電パネル駆動装置を得ることを目的とする。

【0020】請求項4の発明はサブフィールドごとに各維持パルスR、G、Bの関係を変化させることで、良好なカラーバランスを設定できる放電パネル駆動装置を得ることを目的とする。

【0021】請求項5の発明は更に精度の高いカラーバランスを設定できる放電パネル駆動装置を得ることを目的とする。

【0022】

【課題を解決するための手段】請求項1の発明に係る放電パネル駆動装置は、放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記パルスの幅をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、該波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該波形リードオンリメモリからのプログラム制御データにもとづき、行の電極および列の電極を行側および列側の各ドライバにより駆動させるようにしたものである。

【0023】請求項2の発明に係る放電パネル駆動装置は、立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータを出力する波形データ生成回路と、上記パルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第1のラッチバッファおよび第2のラッチバッファと、該第1のラッチバッファおよび第2のラッチバッファ

アの出力値とカウンタ回路からの刻々変化する出力値とを比較する第1のコンパレータおよび第2のコンパレータとを設け、セトリセットフリップフロップを、上記第1のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットさせ、上記第2のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットさせるようにしたものである。

【0024】請求項3の発明に係る放電パネル駆動装置は、所定の発光輝度を得るための階調数を選択する階調数選択回路と、該階調数選択回路の出力にもとづいて、表示の1フィールドにおけるサブフィールドの個数を制御するフィールド制御回路と、放電に必要な放電パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該リードオンリメモリおよび上記フィールド制御回路の各出力にもとづき、行側および列側の各ドライバに、発光輝度および階調数が調整されるように、放電パネルの行の電極および列の電極を駆動させるようにしたものである。

【0025】請求項4の発明に係る放電パネル駆動装置は、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、上記波形リードオンリメモリのモード選択回路を制御するフィールド制御回路を設けたものである。

【0026】請求項5の発明に係る放電パネル駆動装置は、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、波形データ生成回路を制御するフィールド制御回路を設けたものである。

【0027】

【作用】請求項1の発明における放電パネル駆動装置は、維持パルスのパルス幅をR、G、Bの各色ごとに变化させることで、各色ごとの放電強度を変化させ、発光色のカラーバランスをとる。

【0028】請求項2の発明における放電パネル駆動装置は、波形データ生成回路を構成する論理回路により、カウンタ回路の動作周波数を単位としたパルス幅の精度の高い微調整を可能にする。

【0029】請求項3の発明における放電パネル駆動装置は、階調数選択回路によって表示階調数を選択することで、表示デューティを上げ、全体の輝度を向上させる。

【0030】請求項4の発明における放電パネル駆動装置は、サブフィールドごとに各維持パルスR、G、Bの関係を变化させ、発光色のカラーバランスをとらせるようにする。

【0031】請求項5の発明における放電パネル駆動装置は、論理回路で構成されたパルス発生器より出力される各維持パルスR、G、Bの関係を变化させ、より精度の高いカラーバランスが得られるようにする。

【0032】

#### 【実施例】

実施例1. 以下、請求項1の発明の一実施例を図について説明する。図1において、21は放電パネル、22は行側ドライバ、23は列側ドライバ、24は波形メモリとしての波形リードオンリメモリ（以下、波形ROMという）、25は波形ROMタイミング制御回路（波形リードオンリメモリタイミング制御回路）、26は波形ROMモード選択回路（波形リードオンリメモリモード選択回路）である。

【0033】また、図2はR、G、Bの3種の色信号に分離された列側ドライバ23に印加されるそれぞれの維持パルスと、波形ROMモード選択回路26のモード選択状態を示すタイムチャートである。

【0034】次に動作について説明する。まず、放電パネル21に映像を表示する場合には、行側ドライバ22と列側ドライバ23を、波形ROMタイミング制御回路25によって制御される波形ROM24の出力である制御パルスで駆動し、目的とする放電セルに放電を生じさせ、さらに表示データの重みに応じた回数分だけ維持放電を行う。

【0035】そして、カラー画像の場合には、一つの画素がR、G、B用の三つの放電セルで構成されることになるが、通常R、G、Bの発光色は紫外線で蛍光体を励起して得る為、同一条件で放電させれば、バランスのとれた発光色が得られるというものではない。従って維持パルスのパルス幅をR、G、Bごとにそれぞれ調整して、発光色のカラーバランスを調整する。

【0036】また、図2において、波形ROMモード選択回路26で選択されたモードAの状態では、各維持パルスR、G、Bのパルス幅が同一であり、モードBの状態になると、維持パルスRの幅が大きくなり、維持パルスGはそのまま、維持パルスBの幅は小さくなる。

【0037】従って、モードBではR色の発光強度は強まり、B色の発光強度は弱まる。そして、モード数を増やしてあらゆる維持パルスの組み合わせを備えれば、カラーバランスの調整が容易に行えることとなる。

【0038】実施例2. なお、上記実施例ではパルス発生器として波形ROM24を用いたものを示したが、論理回路によって精度の高いパルス発生器を構成することもできる。図3はこの実施例を示す。

【0039】すなわち、27は複数のセトリセットタイプのフリップフロップ、28および29は各フリップフロップ27のセット入力端子およびリセット入力端子に接続された複数組の第1のコンパレータおよび第2のコンパレータとしてのコンパレータ、30および31は各コンパレータ28、29に接続された第1のラッチバッファおよび第2のラッチバッファとしてのラッチバッファ、32はカウンタ回路、33は波形データ生成回路であり、操作入力部、プロセッサ部、ラッチバッファやシフトレジスタなどから構成される。

7

【0040】この実施例では、波形データ生成回路33から各維持パルスR、G、Bの立ち上りタイミングと立ち下りタイミングを示すデータが出力される。このうち、維持パルスRの立ち上りタイミングデータはラッチバッファ30にラッチされ、維持パルスRの立ち下りタイミングを示すデータはラッチバッファ31にラッチされる。

【0041】コンパレータ28はラッチバッファ30の出力値と刻々と変化するカウンタ回路32の出力値を比較し、両者が一致した時を維持パルスRの立ち上りタイミングとして、セットリセットフリップフロップ27をセットし、一方、コンパレータ29はラッチバッファ31の出力値とカウンタ回路32の出力値を比較し、両者が一致した時を維持パルスRの立ち下りタイミングとして、セットリセットフリップフロップ27をリセットする。

【0042】こうすることで、所望の維持パルスRが生成される。なお、維持パルスGおよび維持パルスBも独立した同様の回路動作によって生成される。

【0043】なお、実施例1のような波形ROM24を使った場合、パルス幅のパターン数がROMの持つアドレス入力数によって制限されるが、この実施例の波形データ生成回路33を構成する論理回路では、カウンタ回路32の動作周波数を単位とした微調整が可能となる。

【0044】そして、近年のフィールド・プログラマブル・ゲートアレイ（FPGA）等のカスタムICの普及により、簡単なハードウェアで実現できる。

【0045】実施例3。また、従来例では、256階調の為に、1フィールドを8個のサブフィールドに分割して走査しているので、表示デューティが25%であったが、発光輝度と階調数を選択して、表示デューティを向上させることができる。

【0046】この実施例を図4に示す。図4において、34は階調表示に必要なサブスキャンを制御するフィールド制御回路であり、8ビット256階調の場合、1フィールドを8個のサブフィールドに分割して表示制御を行う。

【0047】しかし、階調数がさほど必要ではなく、一方、全体の輝度を向上させたい時には、階調数選択回路35が動作して、所望の階調数の制御波形がフィールド制御回路34より出力されるようにして、表示デューティを上げる。

【0048】図5は4ビット16階調とした時のサブフィールド構成を示し、この場合の表示デューティは50%である。階調数をさらに減らして1ビット2値表示とすれば表示デューティは100%となる。

【0049】通常の画像表示においては、コントラストが高ければ輝度が不足しても画質は鮮明であるので、階調数が多い時には輝度が落ちて階調数が少ない時には輝度が上がるという本実施例は、有意義な機能である。

8

【0050】実施例4。また、カラーバランスは放電によって発生する紫外線の量や、紫外線によって励起される蛍光体の特性などさまざまな条件が影響する為に、放電回数との関係が非線形となる場合があり、例えば8ビット256階調で表示する時、MSBすなわち最上位ビットを表示するサブフィールドでバランスされた各維持パルスR、G、Bの関係を、そのままLSBすなわち最下位ビットを表示するサブフィールドまで、8個全てのサブフィールドに適用できない場合が生じる。

【0051】この場合は、サブフィールド毎に各維持パルスR、G、Bの関係を変化させれば良い。図6にその実施例を示す。この実施例では、フィールド制御回路34がサブフィールドを制御する時、その制御信号の一部が波形ROMモード選択回路26に伝えられ、維持パルスR、G、Bの関係が、図2にある様に、サブフィールドの切り替わりに同期して、例えばモードAからモードBに切り替わって、サブフィールド毎に変化する。

【0052】実施例5。上記実施例4においては、フィールド制御回路34で波形ROMモード選択回路26を制御して、波形ROM24から出力される各維持パルスR、G、Bのパルス幅を変化させたものを示したが、上記実施例2に示す波形データ生成回路33を制御して、論理回路で構成されたパルス発生器より出力される各維持パルスR、G、Bの関係を変化させても良い。図7にその実施例を示す。

【0053】これによれば、フィールド制御回路34がサブフィールドを制御する時、その制御信号の一部が波形データ生成回路33に伝えられ、各組のラッチバッファ30、31、コンパレータ28、29、セットリセットフリップフロップ27の動作が変化することで、例えば維持パルスRのパルス幅が変化し、同様に維持パルスG、Bも変化し、各維持パルスR、G、Bの関係が変化する。

【0054】従って、この実施によれば、上記実施例4に比較した場合、より精度の高いカラーバランスを得ることができる。

【0055】

【発明の効果】以上のように、請求項1の発明によれば放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記放電パルスの幅をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、該波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該波形リードオンリメモリからのプログラム制御データにもとづき行の電極および列の電極を行側および列側の各ドライバにより駆動させるように構成したので、カラー表示におけるカラーバランスの調整ができるものが得られる効果がある。

【0056】請求項2の発明によれば立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第1のラッチバッファおよび第2のラッチバッファと、該第1のラッチバッファおよび第2のラッチバッファの出力値とカウンタ回路からの刻々変化する出力値とを比較する第1のコンパレータおよび第2のコンパレータとを設け、セトリセットフリップフロップを、上記第1のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットさせ、上記第2のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットさせるように構成したので、論理回路を使用して、カウンタ回路の動作周波数を単位とするパルス幅調整を高い精度にて実現できるものが得られる効果がある。

【0057】請求項3の発明によれば階調数選択回路の出力にもとづいて、表示の1フィールドにおけるサブフィールドの個数を制御するフィールド制御回路と、放電に必要な放電パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該リードオンリメモリおよび上記フィールド制御回路の各出力にもとづき、行側および列側の各ドライバに、発光輝度および階調数が調整されるように、放電パネルの行の電極および列の電極を駆動させるように構成したので、発光輝度と階調数の選択設定により鮮明画像表示を行えるものが得られる効果がある。

【0058】請求項4の発明によればフィールド制御回路によって、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、上記波形リードオンリメモリのモード選択回路を制御するように構成したので、各維持パルスの関係をサブフィールドごとに変化させることで、必要とする発光輝度を得ながら良好なカラーバランスを多階調制御の各階調で設定できるものが得られる効果がある。

【0059】請求項5の発明によればフィールド制御回路に、サブパルスごとに各維持パルスR、G、Bのパルス幅を調整させるように構成したので、更に精度の高いカラーバランスを設定できるものが得られる効果がある。

【図面の簡単な説明】

【図1】請求項1の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図2】図1におけるブロック各部の信号を示すタイミング図である。

【図3】請求項2の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図4】請求項3の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図5】図4の実施例におけるサブフィールド構成を示す説明図である。

【図6】請求項4の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図7】請求項5の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図8】従来の放電パネル表示装置の構造を示す構成図である。

【図9】従来の放電パネル表示装置の駆動方法を示すブロック図である。

【図10】従来の放電パネル表示装置の動作を示すタイミング図である。

【図11】従来の放電パネル表示装置の1フィールド間の発光時間と階調制御の関係を示す説明図である。

【符号の説明】

- 21 放電パネル
- 22 行側ドライバ
- 23 列側ドライバ
- 24 波形ROM (波形リードオンリメモリ)
- 25 波形ROMタイミング制御回路 (波形リードオンリメモリタイミング制御回路)
- 26 波形ROMモード選択回路 (波形リードオンリメモリモード選択回路)
- 27 セトリセットフリップフロップ
- 28 コンパレータ (第1のコンパレータ)
- 29 コンパレータ (第2のコンパレータ)
- 30 ラッチバッファ (第1のラッチバッファ)
- 31 ラッチバッファ (第2のラッチバッファ)
- 32 カウンタ回路
- 33 波形データ生成回路
- 34 フィールド制御回路
- 40 35 階調数選択回路



Figure 1 is a block diagram of a waveform ROM control system. It includes the following components and connections:

- 25**: Waveform ROM timing control circuit (波形ROMタイミング制御回路). It receives input from the waveform ROM mode selection circuit (26) and provides output to the waveform ROM (24).
- 26**: Waveform ROM mode selection circuit (波形ROMモード選択回路). It receives input from the waveform ROM mode selection circuit (26) and provides output to the waveform ROM (24).
- 24**: Waveform ROM (波形ROM). It receives inputs from the timing control circuit (25) and the mode selection circuit (26). It provides output to the column driver (23) and the row driver (22).
- 23**: Column driver (列側ドライバ). It receives input from the waveform ROM (24) and provides output to the discharge panel (21).
- 22**: Row driver (行側ドライバ). It receives input from the waveform ROM (24) and provides output to the discharge panel (21).
- 21**: Discharge panel (放電パネル). It receives inputs from the column driver (23) and the row driver (22).

維持パルスR

維持パルスG

維持パルスB

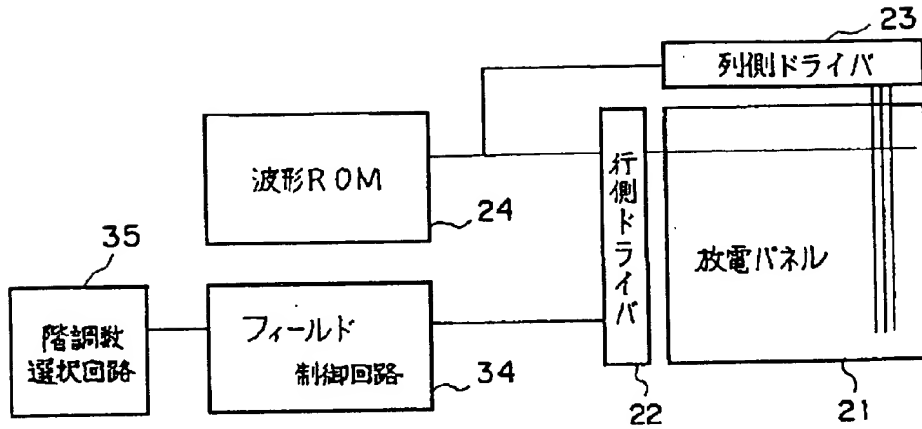
モード選択

モードA

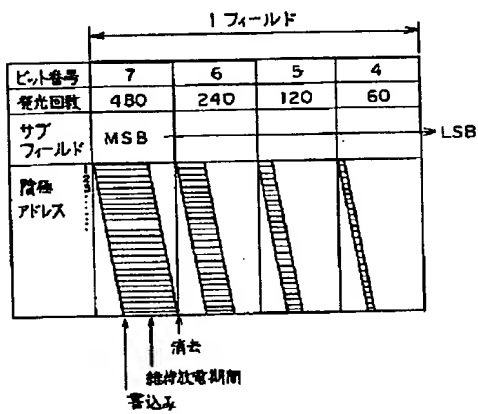
モードB

—565—

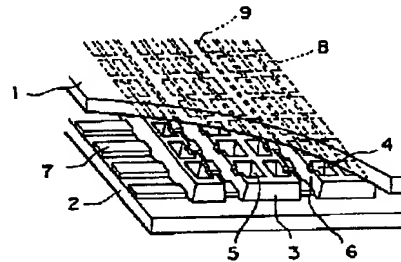
【図4】



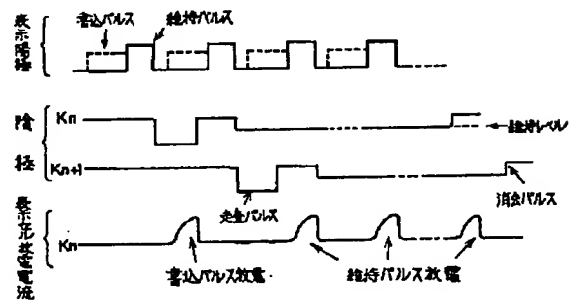
【図5】



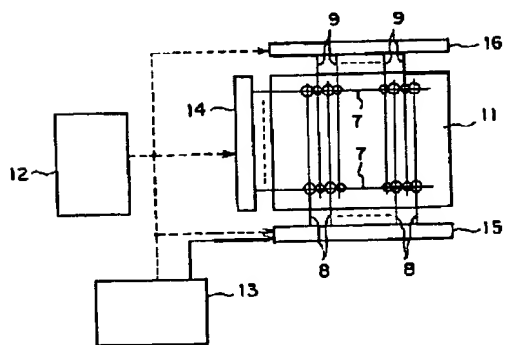
【図8】



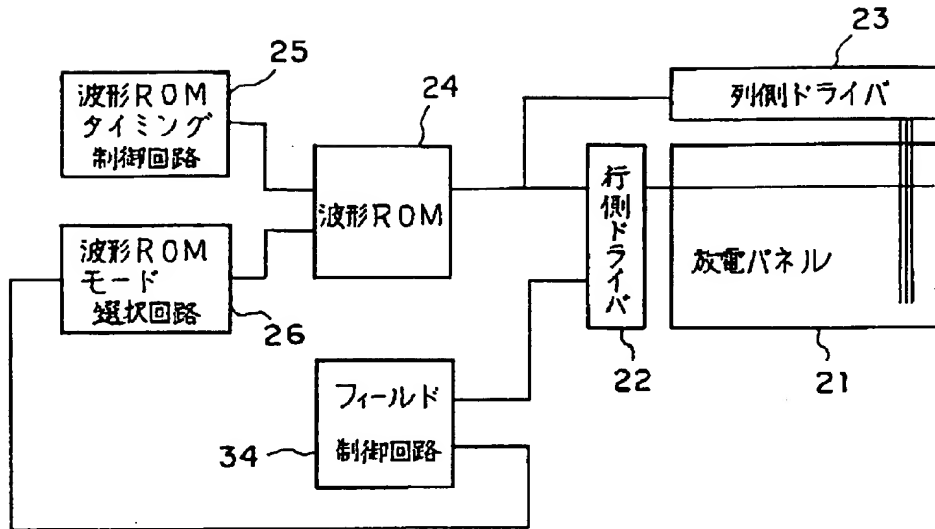
【図10】



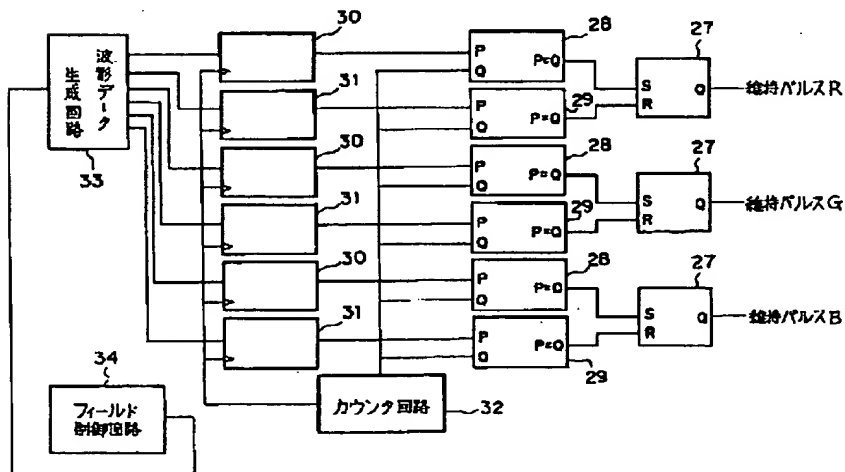
【図9】



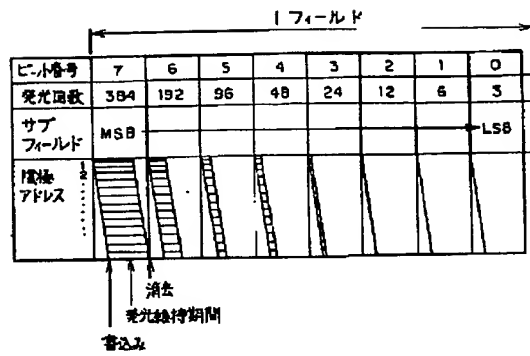
【図6】



【図7】



【図 11】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**This Page Blank (uspto)**